

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-169277
 (43)Date of publication of application : 04.07.1995

(51)Int.Cl. G11C 11/413
 G11C 29/00

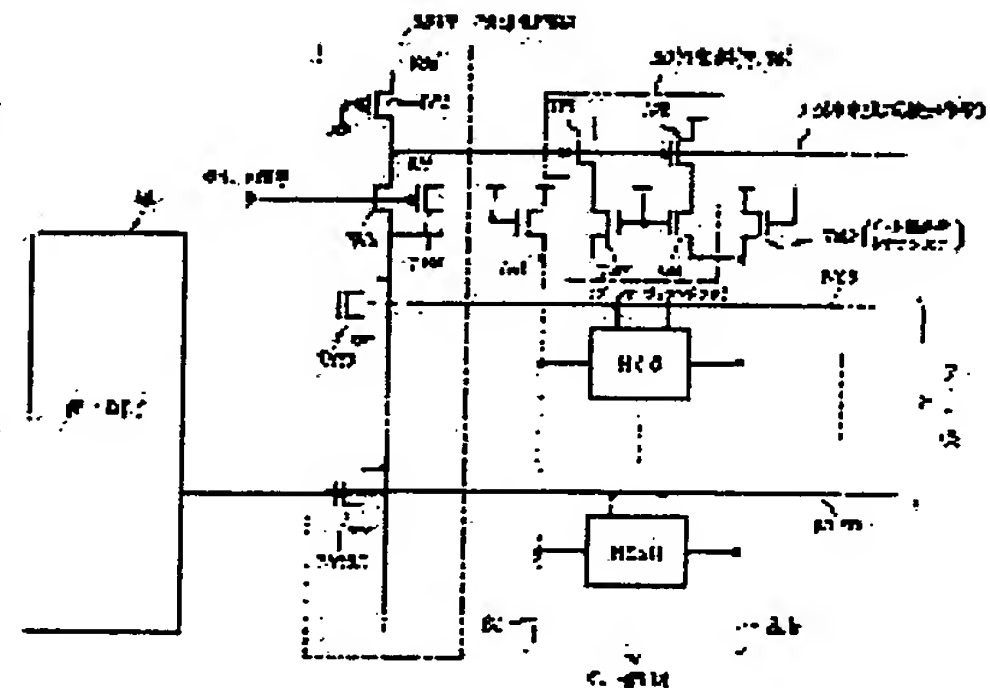
(21)Application number : 05-315655 (71)Applicant : KAWASAKI STEEL CORP
 (22)Date of filing : 16.12.1993 (72)Inventor : KIMURA KIKUO

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To prevent the destruction in the memory data at the time of multiple selection of a word line without sacrificing an access time by detecting the multiple selection of plural word lines and controlling an impedance of a bit line load.

CONSTITUTION: When two pieces or more of word lines WL0-WL511 are multiple-selected through a row decoder 14 in the state where a clock signal ϕ becomes an H, and a word line detection circuit 20 is activated, corresponding transistors(TR) TNS0-TNS511 are turned on, and a multiple selection detection signal LC is lowered. Then, the conduction of the TRs TP1, TP2 of a variable load circuit 30 are controlled, and a bit line pair BL, BLb are pulled up by pull-up TRs TN3, TN4 of the circuit 30 in an overlapped state to the conduction of the bit line load TRs TN1, TN2, and a bit line load impedance is controlled, and the potential lowering of the bit line pair is suppressed without using a delay circuit. Thus, the destruction in the memory cell data at the time of multiple selection of the word line is prevented without sacrificing the access time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169277

(43) 公開日 平成7年(1995)7月4日

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 1 1 C 11/413 29/00	3 0 8 B	6866-5L		
			G 1 1 C 11/34	3 0 1 A 3 4 1 A
審査請求 未請求 請求項の数 3 O L (全 6 頁)				

(21) 出願番号 特願平5-315655

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 木村 貴久男

東京都千代田区内幸町二丁目2番8号 川崎製鉄株式会社東京本社内

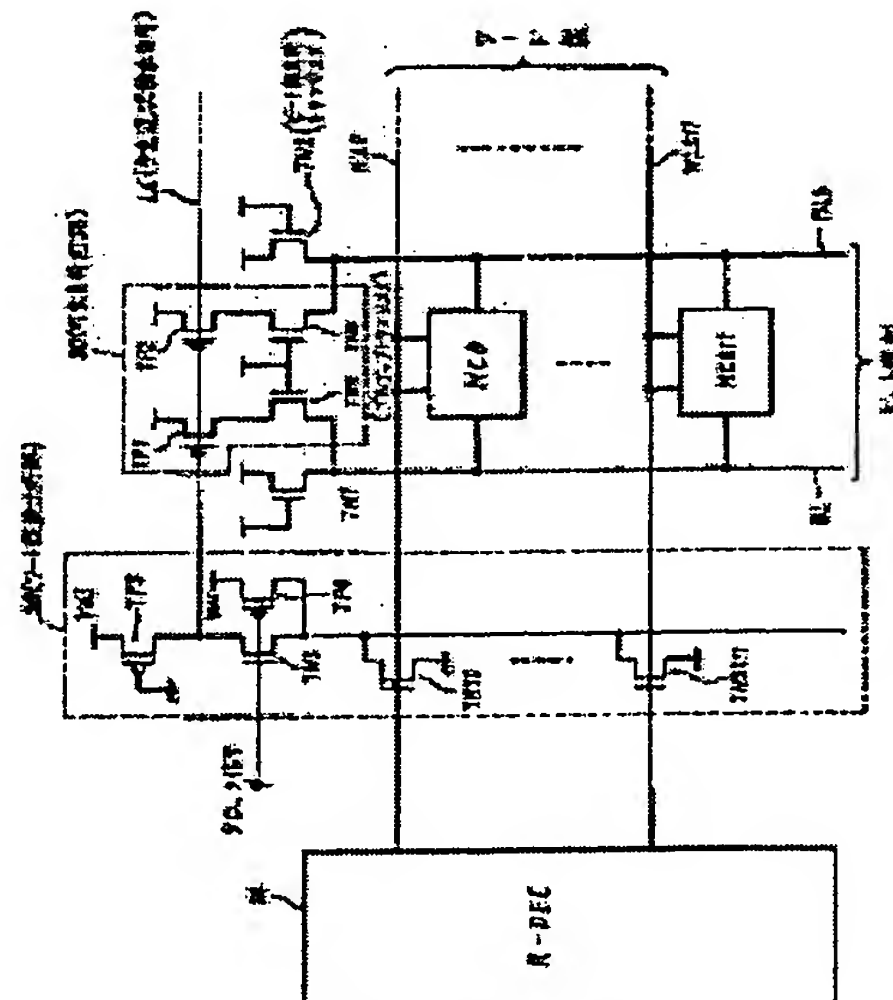
(74) 代理人 弁理士 高矢 諭 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 アクセスタイム を犠牲にすることなく、ワード線多重選択によるメモリセルのデータ破壊を防ぐ。

【構成】 ワード線が多重選択されたことを検出して、ビット線負荷のインピーダンスを制御する。



【特許請求の範囲】

【請求項 1】 ビット線負荷トランジスタが接続されたビット線と、
デコーダが接続されたワード線と、
前記ビット線とワード線により選択されるようにマトリックス状に配置されたメモリセルとを含み、
前記ワード線とビット線の選択により活性化されるメモリセルが、リード・ライトの対象とされる半導体記憶装置において、
複数のワード線の多重選択を検出するワード線検出回路と、
該ワード線検出回路の出力に基づいて、ビット線負荷のインピーダンスを制御する可変負荷回路を備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 において、ライト期間中や、リード期間中でアドレス呼出しから所定時間経過した後は、前記ワード線検出回路を非活性化する手段を備えたことを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 又は 2 において、前記可変負荷回路が、複数のワード線の多重選択時に、前記ビット線をプルアップするようにされていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に係り、特に、ワード線の多重選択によるデータ破壊を防止可能な、ビット線負荷トランジスタが接続されたビット線と、デコーダが接続されたワード線と、前記ビット線とワード線により選択されるようにマトリックス状に配置されたメモリセルとを含み、前記ワード線とビット線の選択により活性化されるメモリセルが、リード・ライトの対象とされる半導体記憶装置の改良に関するものである。

【0002】

【従来の技術】 従来の半導体記憶装置は、図 1 に例示する如く、ビット線負荷トランジスタ T_{N1} 、 T_{N2} が接続されたビット線対 B_L 、 B_{Lb} と、後出デコーダが接続されたワード線 $W_{L0} \sim W_{L511}$ と、前記ビット線とワード線により択一的に選択されるようにマトリックス状に配置されたメモリセル $M_{C0} \sim M_{C511}$ と、外部から入力されるアドレス信号の相補信号を生成するアドレスバッファ回路群 (ADB 群) 10 と、該アドレスバッファ回路群 10 からの相補信号を受けて $1/N$ の選択信号を生成するプリデコーダ群 (P-DEC 群) 12 と、該プリデコーダ群 12 からの $1/N$ 選択信号を受けて択一的にワード線を選択するロウデコーダ (R-DEC) 14 と、図示しないリード・ライト回路及びその他の周辺回路から構成されている。

【0003】 前記アドレスバッファ回路群 10 を構成する各アドレスバッファ回路は、例えば図 2 に外部アドレ

ス信号 X_0 について例示する如く、外部から入力されるアドレス信号 X_0 の相補信号 x_0 及び x_{0b} を生成するように構成されている。

【0004】 又、前記プリデコーダ群 12 を構成する各プリデコーダは、図 3 に相補信号 x_0 、 x_{0b} 、 x_1 、 x_{1b} について例示する如く、前記アドレスバッファ回路群 10 からの相補信号 x_0 、 x_{0b} 、 x_1 、 x_{1b} を受けて、 $1/N$ の選択信号 a_1 、 a_2 、 a_3 、 a_4 を生成するように構成されている。

【0005】 又、前記ロウデコーダ 14 は、図 5 に $1/N$ 選択信号 A ($a_1 \sim a_4$)、B ($b_1 \sim b_4$)、C ($c_1 \sim c_4$)、D ($d_1 \sim d_4$) について例示する如く、 $1/N$ 選択信号 A、B、C、D を受けて、択一的にワード線 W_L を選択するように構成されている。

【0006】 このような従来の半導体記憶装置において、外部アドレス信号 (X_0 、...) が入力されると、アドレスバッファ回路群 10 及びプリデコーダ群 12 を経て、ロウデコーダ 14 により、最終的に 1 本のワード線 W_L のみが選択され、ビット線の選択と合わせて、これによって活性化されるメモリセル M_C がリード・ライトの対象とされる。

【0007】 ところが、最終的に 1 本のワード線を選択する過程で、複数のワード線が一時的に選択されてしまう場合がある。例えば、アドレスバッファ回路の出力が、外部アドレス信号に基づいて反転する際に、相補信号 (x_0 、 x_{0b}) が共に L レベルとなると、これを入力するプリデコーダの出力 a_1 、 a_2 が共に H レベルとなる (但し、相補信号 $x_1 = L$ レベル、 $x_{1b} = H$ レベルとする)。すると、これらが入力されるロウデコーダ 14 は、本来 4 線中の 1 線のみを選択すべきプリデコード信号群 A (a_1 、 a_2 、 a_3 、 a_4) が、そのうち 2 線 (a_1 、 a_2) を選択してしまうので、最終的に、512 本中の 2 本のワード線が多重選択されることになる。このとき、他のプリデコード信号群 B、C、D でも多重選択がされていれば、更に多重選択されるワード線の数が増える。

【0008】 多重選択されるワード線の数が増えると、活性化されるメモリセルの数が増えるため、図 5 に破線で示す如く、ビット線の電位が多重選択が発生しない場合のビット線電位 (実線) に比べて大きく低下する (図 5 は、期待値として $B_L = H$ レベル、 $B_{Lb} = L$ レベルとなるセルデータの呼出しの場合を示したものである)。従って、最終的に選択されるメモリセルのリードが阻害されるばかりでなく、最悪の場合にはメモリセル内のデータが破壊されるという問題点を有していた。つまり、多重選択されたメモリセルに格納された 1 と 0 のデータ数と、その比率によっては、当該メモリセルのデータと逆の状態にビット線電位が大きく移動する。この結果、その移動量によっては、当該メモリセル及びその他のメモリセルの内容が書替えられてしまい、データが

破壊される。

【0009】これを防ぐため、従来は、図2に示したように、アドレスバッファ回路に遅延回路DLYを設けて、図6に示す如く、アドレスバッファ回路出力の相補信号x0、x0bが共にHレベルとなる期間Pを設けることにより、プリデコーダ信号群a1、a2、a3、a4の多重選択が生じないようにしていた。

【0010】

【発明が解決しようとする課題】しかしながら、遅延回路DLYを設けると、その遅延時間分だけ、ワード線の選択が遅れるため、アクセスタイムの遅延を生じるという問題があった。

【0011】又、遅延回路DLYの遅延時間Pの設定にあたっては、プロセスのばらつきや回路動作マージンを見込む必要があり、アクセスタイムが更に遅れるという問題点を有していた。

【0012】

【課題を解決するための手段】本発明は、ビット線負荷トランジスタが接続されたビット線と、デコーダが接続されたワード線と、前記ビット線とワード線により選択されるようにマトリクス状に配置されたメモリセルとを含み、前記ワード線とビット線の選択により活性化されるメモリセルが、リード・ライトの対象とされる半導体記憶装置において、複数のワード線の多重選択を検出するワード線検出回路と、該ワード線検出回路の出力に基づいて、ビット線負荷のインピーダンスを制御する可変負荷回路を備えることにより、前記目的を達成したものである。

【0013】更に、ライト期間中や、リード期間中でアドレス呼出しから所定時間経過した後は、前記ワード線検出回路を非活性化する手段を備えたものである。

【0014】又、前記可変負荷回路が、複数のワード線の多重選択時に、前記ビット線をプルアップするようにしたものである。

【0015】

【作用】本発明においては、複数のワード線の多重選択を検出するワード線検出回路を設け、該ワード線検出回路の出力に基づいて、ビット線負荷のインピーダンスを制御するようにしたので、ワード線の多重選択時に、ビット線電位の低下が抑えられる。従って、従来のように遅延回路を設ける必要がなく、アクセスタイムを犠牲にすることなく、ワード線多重選択によるメモリセルのデータ破壊を防ぐことができる。

【0016】なお、ライト期間中や、リード期間中でアドレス呼出しから所定時間経過した後は、前記ワード線検出回路を非活性化する手段を備えた場合には、ワード線検出回路による消費電流を低減することができる。

【0017】又、前記可変負荷回路が、複数のワード線の多重選択時に、前記ビット線をプルアップするようにした場合には、ビット線負荷のインピーダンスを簡単に

変更することができる。

【0018】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0019】本実施例は、図7に示す如く、従来と同様のビット線負荷トランジスタTN1、TN2が接続されたビット線BL、BLbと、ロウデコーダ14が接続されたワード線WL0~WL511と、前記ビット線BL、BLbとワード線WL0~WL511により択一的に選択されるようにマトリクス状に配置されたメモリセルMC0~MC511とを含み、前記ワード線WL0~WL511とビット線BL、BLbの選択により活性化されるメモリセルが、リード・ライトの対象とされる半導体記憶装置において、複数のワード線の多重選択を検出するワード線検出回路20と、該ワード線検出回路20の出力に基づいて、複数のワード線の多重選択時に、前記ビット線をプルアップしてビット線負荷のインピーダンスを制御する可変負荷回路30を備えたものである。

【0020】前記ワード線検出回路20は、電源Vddに接続されたトランジスタTP3と、各ワード線WL0~WL511にそれぞれ接続されたトランジスタTNS0~TNS511と、トランジスタTNS0~TNS511の一方の端子を前記トランジスタTP3、又は、電源電圧Vddに接続するためのトランジスタTP4及びTN5とを含み、2本以上のワード線が選択された場合にのみ、多重選択検出信号LCが、電源電圧VddよりもTP1とTP2のVtp分低い電位(Vdd-Vtp)よりも更に低い電位となるように構成されている。

【0021】前記トランジスタTP4及びTN5に供給されるクロック信号φは、ワード線検出回路20の活性化状態を制御している。即ち、クロック信号φがLレベルの場合には、ワード線検出回路20が非活性化されて、多重選択検出信号LCはHレベルに固定される。一方、クロック信号φがHレベルの場合には、ワード線により導通状態が定められるトランジスタTNS0~TNS511とトランジスタTP3により、多重選択検出信号LCの電位が上記のように決定される。

【0022】ここで、クロック信号φは、図示しないクロックジェネレータで生成される信号であり、アドレスの変化を検出して生成され、ライト期間中、及び、リード期間中でアドレス呼出しから一定時間Tが経過した後は、消費電流低減のために、Lレベルに固定して、ワード線検出回路20を非活性化する。

【0023】前記可変負荷回路30は、多重選択検出信号LCにより、トランジスタTP1、TP2の導通を制御し、ビット線負荷トランジスタTN1、TN2の導通に重畳して、プルアップトランジスタTN3、TN4により、ビット線BL、BLbをプルアップする。

【0024】このように機能するワード線検出回路20

と可変負荷回路30を備えた回路動作を、図8を参照して、詳細に説明する。

【0025】クロック信号 ϕ がHレベルの活性期間中に、ワード線WL511からワード線WL0に選択が移る際に、ロウデコーダ14が多重選択を起こして、ワード線WL0とWL511及びその他のワード線が共に一時的にHレベルになった場合を考える。すると、ビット線電位は、図5に破線で示した従来例で説明したように、大きく低下しようとする。

【0026】一方、トランジスタTNS0、TNS511等が同時に導通すると、多重選択検出信号LCの電位が、 $V_{dd}-V_{tp}$ 以下に低下する。すると、これをゲートに受けるトランジスタTP1、TP2は導通するので、ビット線負荷トランジスタTN1、TN2にそれぞれ並列にプルアップトランジスタTN3、TN4が接続され、ビット線BL、BLbをより強くプルアップする。この結果、ビット線電位の低下量は抑えられる。

【0027】この場合、従来例のようにビット線対電位の逆転現象は起こり得るが、ビット線電位自体が高く、ビット線対の電位差も小さく抑えられるので、メモリセルの内容が破壊されることはない。又、多重選択される期間が過ぎると同時に、ビット線負荷は、従来のもものと等価に回復するので、選択されたセルのデータが速やかにビット線に現れる。従って、プルアップを常時強める場合の問題点も回避される。

【0028】又、仮に多重選択が起こらなかった場合には、トランジスタTNS0～TNS511は、2以上同時に導通することはないので、多重選択検出信号LCは、 $V_{dd}-V_{tp}$ 以上の電位を保ち、ビット線負荷は従来と同様に振舞う。

【0029】本実施例においては、ライト期間中や、リード期間中でアドレス呼出しから所定時間経過した後は、クロック信号 ϕ によりワード線検出回路20を非活性化するようにしていたので、ワード線検出回路の消費電流を低減することが可能である。なお、ワード線検出回路を非活性化する構成はこれに限定されない。又、ワード線検出回路による消費電流が問題とならない場合には、ワード線検出回路を常時活性化しておくことも可能である。

【0030】又、本実施例においては、可変負荷回路

が、複数のワード線の多重選択時に、ビット線をプルアップするようにされていたので、構成が簡略である。なお、ビット線の負荷を変化させる構成はこれに限定されず、他の手段によりビット線のインピーダンスを制御してもよい。

【0031】又、前記実施例においては、ビット線がビット線対BL、BLbを含むように構成されていたが、本発明の適用対象はこれに限定されず、ビット線が1本である場合にも、同様に適用できる。

【0032】

【発明の効果】以上説明した通り、本発明によれば、アクセスタイムを犠牲にすることなく、ワード線多重選択によるメモリセルのデータ破壊を防ぐことができるという優れた効果を有する。

【図面の簡単な説明】

【図1】従来半導体記憶装置の全体構成を示すブロック図

【図2】従来例で用いられているアドレスバッファの構成例を示す回路図

【図3】同じくプリデコーダの構成例を示す回路図

【図4】同じくロウデコーダの構成例を示す回路図

【図5】従来例におけるビット線電位の変化状態の例を示す線図

【図6】従来例における対策を説明するための線図

【図7】本発明に係る半導体記憶回路の実施例の構成を示す回路図

【図8】本発明の実施例における各部信号波形の例を示す線図

【符号の説明】

TN1、TN2…ビット線負荷トランジスタ

BL、BLb…ビット線対

12、14…デコーダ

WL0～WL511…ワード線

MC0～MC511…メモリセル

20…ワード線検出回路

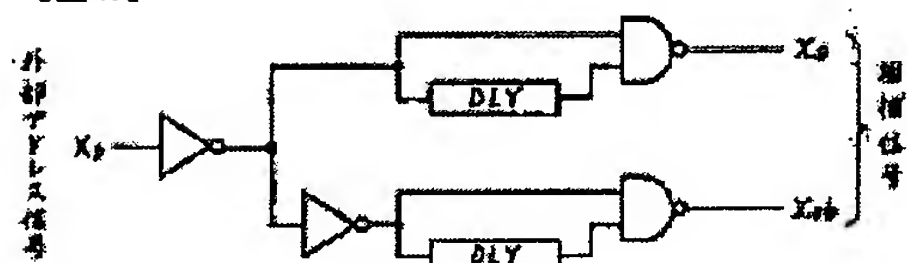
LC…多重選択検出信号

30…可変負荷回路

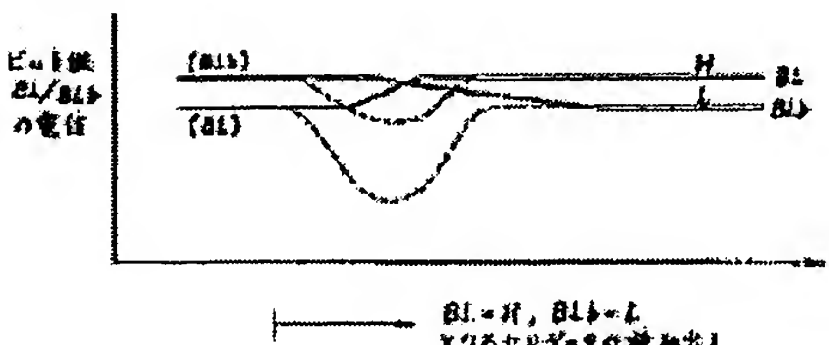
ϕ …クロック信号

TN3、TN4…プルアップトランジスタ

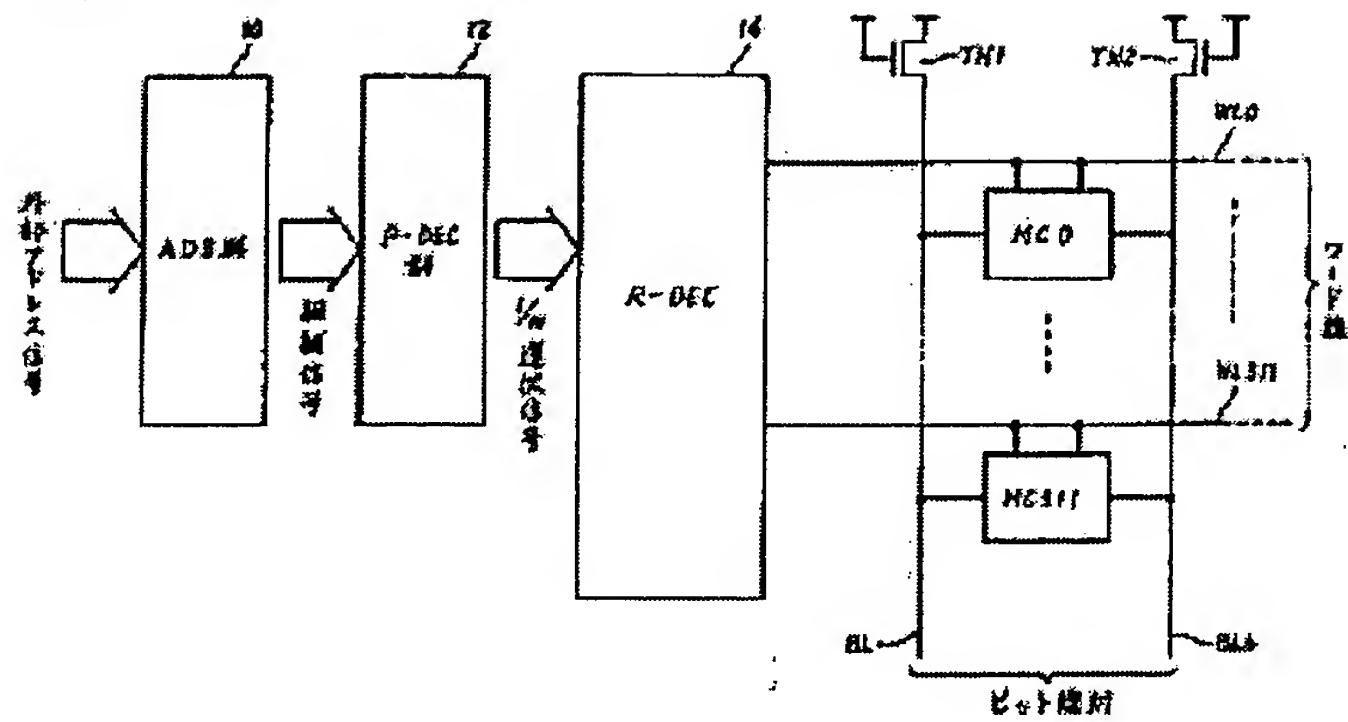
【図2】



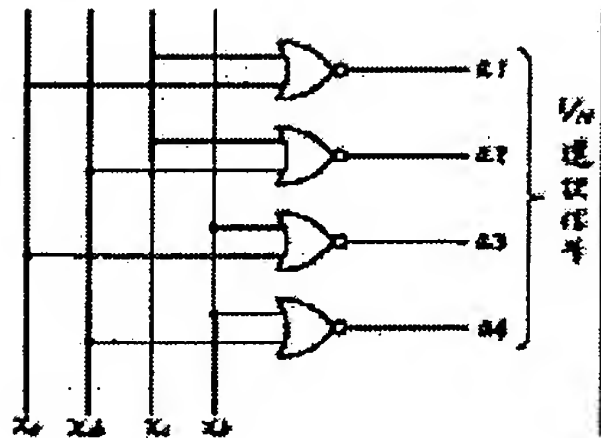
【図5】



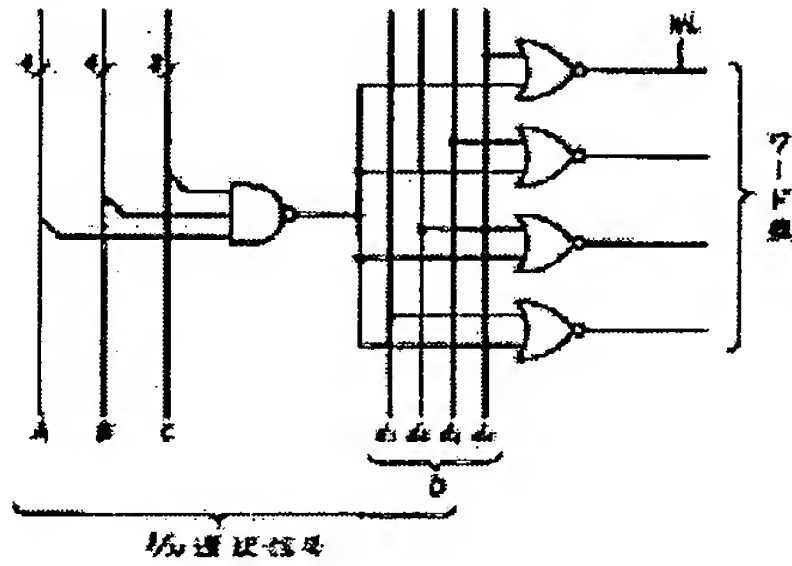
【図1】



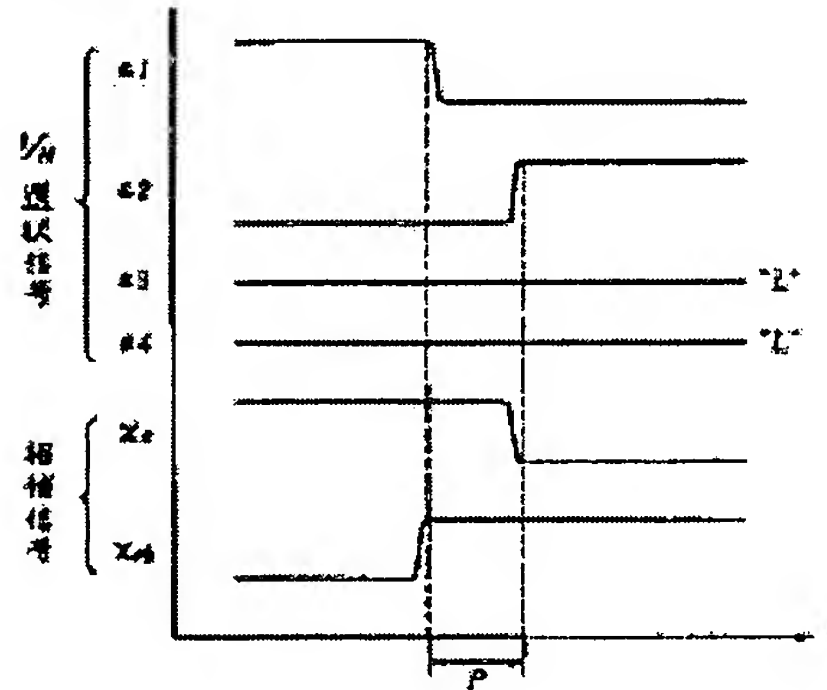
【図3】



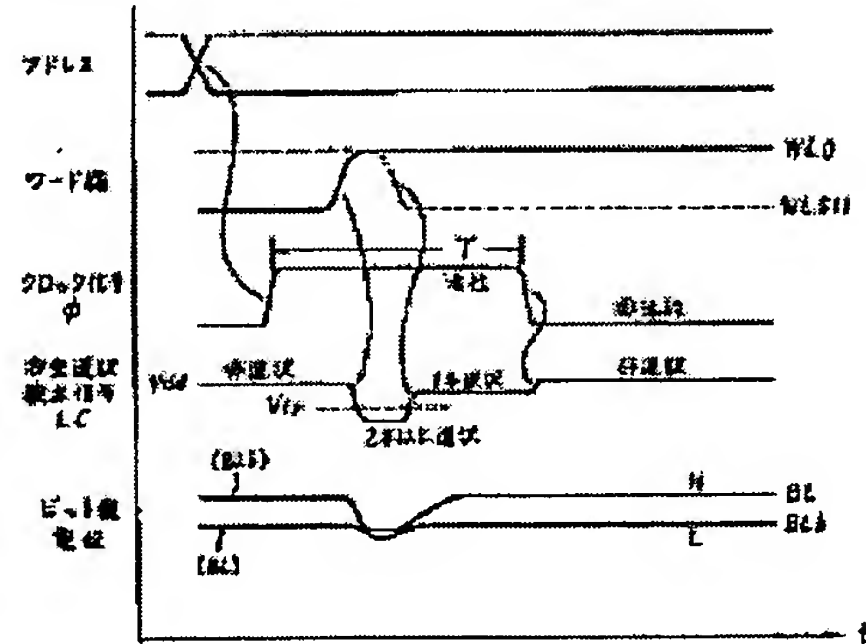
【図4】

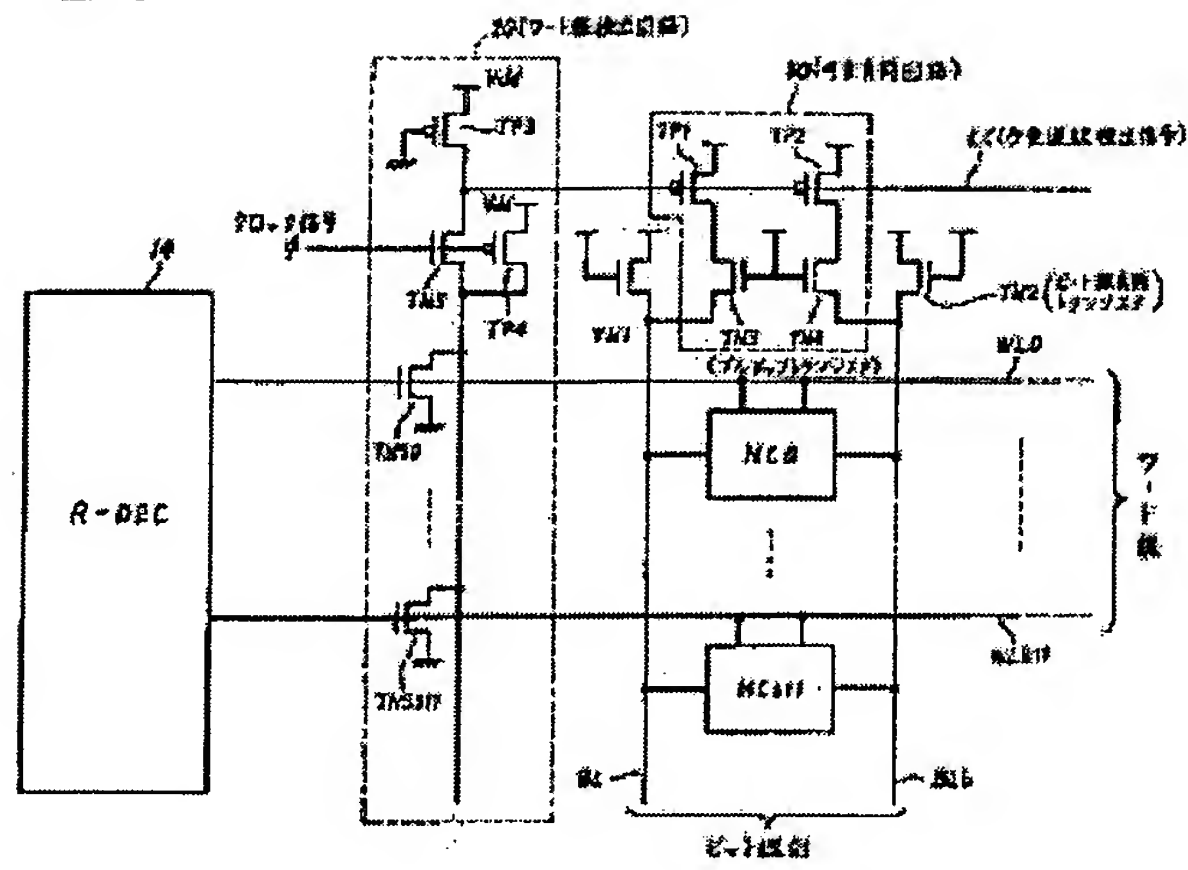


【図6】



【図8】



[illegible]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.